

# METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

BEST AVAILABLE COPY

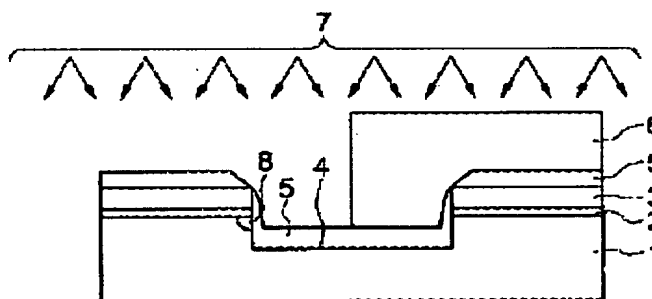
Patent number: JP2002231824  
Publication date: 2002-08-16  
Inventor: NAGANO TAKASHI  
Applicant: SONY CORP  
Classification:  
- international: H01L21/8238; H01L27/092; H01L21/76; H01L27/08;  
H01L29/78  
- european:  
Application number: JP20010028007 20010205  
Priority number(s):

Report a data error here

## Abstract of JP2002231824

**PROBLEM TO BE SOLVED:** To enable reduction of reverse narrow channel effect of a semiconductor device comprising a trench isolation.

**SOLUTION:** A trench 4 is formed on a principal plane of a single crystal silicon substrate 1, and after having formed a silicon oxide film 5 on the surface of the single crystal silicon substrate 1 and in the trench 4, boron 7 is ion implanted into a side wall surface of the p well region side of the trench 4 where the silicon oxide film 5 is deposited so as to be in a lower position than the surface of the single crystal silicon substrate and a boron implanted layer 8 is formed at an upper part of the trench side wall, and further, on the silicon oxide film 5 of the trench 4, the silicon oxide film is deposited so as to become higher than the surface of the single crystal silicon substrate 1. As a result, the reduction of reverse narrow channel effect is realized without causing increase of the junction capacitance or junction leakage.



(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-231824

(P2002-231824A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	7-42-1*(参考)
H 0 1 L 21/8238		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
27/092			3 2 1 C 5 F 0 4 0
21/76		21/76	S 5 F 0 4 8
27/08	3 8 1		L
29/78			R

審査請求 未請求 請求項の数12 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2001-28007(P2001-28007)

(22) 出願日 平成13年3月5日 (2001.3.5)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 永野 隆史

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100090527

弁護士 佐野 千恵子

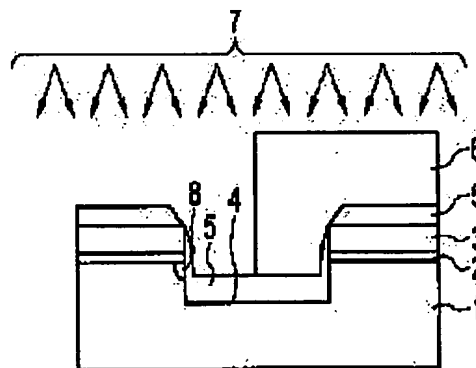
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチアイソレーションを備えた半導体装置の逆狭チャネル効果の低減を図る。

【解決手段】 単結晶シリコン基板1の主面にトレンチ4を形成し、単結晶シリコン基板1の表面およびトレンチ4内にシリコン酸化膜5を成膜した後、シリコン酸化膜5が単結晶シリコン基板1の表面よりも低い位置となるように埋め込まれたトレンチ4のポウエル領域側の側壁面にボロン7をイオン注入して、トレンチ側壁上部にボロン注入層8を形成し、さらにトレンチ4のシリコン酸化膜5の上にシリコン酸化膜を単結晶シリコン基板1の表面よりも高くなるように成膜して埋め込むことで、接合容量または接合リークを増大を引き起こすことなく、逆狭チャネル効果の低減を実現する。



- 1: 単結晶シリコン基板
- 2: シリコン酸化膜
- 3: シリコン酸化膜
- 4: トレンチ
- 5: フォトリソ
- 6: ボロン
- 7: ボロン注入層
- 8: トレンチ

【特許請求の範囲】

【請求項 1】 半導体基板の主面にトレンチを形成する工程と、

前記トレンチ中に第 1 絶縁膜を前記半導体基板の表面よりも低い位置まで埋め込む第 1 絶縁膜形成工程と、

前記第 1 絶縁膜が埋め込まれたトレンチ中に第 2 絶縁膜を前記半導体基板の表面位置以上に埋め込む第 2 絶縁膜形成工程と、

埋め込まれる前記第 2 絶縁膜と接する位置のトレンチ側壁部に p 型不純物を注入する p 型不純物注入工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記 p 型不純物注入工程が、前記第 1 絶縁膜形成工程と第 2 絶縁膜形成工程の間に行われることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記 p 型不純物注入工程で p 型不純物がイオン注入されることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記 p 型不純物注入工程で p 型不純物が p ウェル領域のみに注入されることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 5】 前記 p 型不純物注入工程で p 型不純物が p ウェル領域と n ウェル領域の両領域に注入され、前記 p 型不純物が注入された n ウェル領域にシリコンを注入するシリコン注入工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記 p 型不純物注入工程における p 型不純物の注入が、p 型不純物を所定濃度含む第 2 絶縁膜からの熱拡散により行われることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記 p 型不純物が注入された n ウェル領域にシリコンを注入するシリコン注入工程を有することを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記シリコン注入工程が前記 n ウェル領域に n 型不純物を注入して n ウェルを形成する n ウェル形成工程と同時に行われることを特徴とする請求項 5 または 7 記載の半導体装置の製造方法。

【請求項 9】 前記 p 型不純物がボロンであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 10】 前記第 1 絶縁膜が埋め込まれたトレンチの側壁上部の n ウェル領域に n 型不純物を注入する n 型不純物注入工程を有することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 11】 前記 n 型不純物がリンであることを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記トレンチ中に埋め込まれる第 1 絶縁膜の表面が、前記半導体基板に形成されるソースおよびドレインの接合位置よりも高くなるように設定されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 集積回路装置のようなトレンチアイソレーションを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】例えば MOSFET の製造方法では、従来、図 24 に示すように、まず単結晶シリコン基板 101 にトレンチ 102 を形成した後、化学的気相成長 (CVD) 法によりシリコン酸化膜 103 が形成され、トレンチ 102 内にシリコン酸化膜 103 が堆積される。

【0003】 一方で、図 25 に示すように、化学的機械研磨 (CMP) 法により表面のシリコン酸化膜 103 が研磨されて平坦化されることによって、トレンチ 102 がシリコン酸化膜 103 により埋め込まれた後、単結晶シリコン基板 101 およびシリコン酸化膜 103 上にゲート絶縁膜 104 およびゲート電極 105 が形成される。

【0004】 ここで、トレンチ 102 を埋め込んだシリコン酸化膜 103 の上面が、図 25 に示すように単結晶シリコン基板 101 の表面より低下している場合、MOSFET のチャネル幅が減少するに当たって MOSFET の閾値電圧が減少してしまうという問題がある。

【0005】 これは、例えば 1981 年の JEDM (International Electron Device Meeting) ・テクニカル・ダイジェスト (380~383 頁) に記載されているように、トレンチ肩部 106 の近傍で、ゲート電極 105 から単結晶シリコン基板 101 内部への方向の電界 V と表面に平行な方向の電界 H との集中があり、トレンチ肩部 106 で閾値電圧が低下してしまうためと考えられる。すなわち、図 26 に示すように、MOSFET のチャネル幅が小さくなった場合、チャネル全体に対してこの閾値電圧が低下した部分の割合が大きくなり、MOSFET 全体としても閾値電圧  $V_{th}$  が低下する。

【0006】 この問題を解決する方法としては、トレンチの側壁から不純物をイオン注入して半導体素子端部の閾値電圧を高める方法がある。しかしながら、この方法では、単結晶シリコン基板 101 とトレンチ 102 を埋める酸化膜との界面付近において、不純物濃度が単結晶シリコン基板 101 内より高くなるため、接合容量および接合リーク電流の増大を引き起こす。

【0007】 このような問題を避けるものとしては、例えば特開平 6-177239 号公報に記載されているように、素子分離領域の半導体をエッチングしてテーパー形状のトレンチを作成する、すなわち半導体素子の端部で肩状を形成させないこと、または肩形状部分の面取りをすることにより、電界集中を抑えるなどの方法がある。

【0008】

【発明が解決しようとする課題】 残念ながら、このような肩状部分の突形により電界集中を抑制する方法をとっても、従来の半導体装置の製造方法では、トランジスタのチャネル幅が小さい場合に閾値電圧が低下する逆接チャネル効果が起きるという問題があった。

【0009】 これは、チャネルに含まれるボロンが熱拡散によって基板のシリコンとドレンチを埋める酸化シリコンとの界面で酸化シリコン側にバイルアップするため外方向に拡散し、ドレンチと基板との界面付近でチャネルに含まれるボロン濃度の低下した領域が形成されるためと考えられる。このボロンの拡散は、イオン注入などで発生する格子間シリコンの存在により、800℃程度でも生じる。

【0010】 本発明は、上記従来技術の問題点に対処してなされたもので、トランジスタのチャネル幅が小さくなくても閾値電圧が低下せずかつ接合容量および接合リーク電流の増大を引き起こさない半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 すなわち、請求項1の発明の半導体装置の製造方法は、半導体基板の主面にドレンチを形成する工程と、ドレンチ中に第1絶縁膜を半導体基板の表面よりも低い位置まで埋め込む第1絶縁膜形成工程と、第1絶縁膜が埋め込まれたドレンチ中に第2絶縁膜を半導体基板の表面位置以上に埋め込む第2絶縁膜形成工程と、埋め込まれる第2絶縁膜と接する位置のドレンチ側壁部にp型不純物を注入するp型不純物注入工程とを有することを特徴とする。

【0012】 請求項1の発明において、ドレンチ側壁上部にp型不純物濃度の高い領域が形成されるため、pウェルでの絶縁膜への外方拡散によるp型不純物濃度の低下が補償され、pウェルのドレンチ側面での不純物濃度の低下による閾値電圧の減少が抑制される。また、p型不純物濃度の高い領域がドレンチ側壁上部の界面付近に限定されるため、p型不純物の注入による接合容量または接合リークの増大は抑制される。なお、p型不純物の注入による接合容量または接合リークの増大を引き起こさないためには、p型不純物を注入する領域を、半導体基板に形成されるMOSFETのソースおよびドレインの接合位置よりも高い位置に設定することが望ましい。

【0013】 請求項2の発明は、請求項1の半導体装置の製造方法において、p型不純物注入工程が、第1絶縁膜形成工程と第2絶縁膜形成工程の間に行われることを特徴とする。この発明においては、第1絶縁膜が埋め込まれた領域を除くドレンチ側壁上部に、請求項3に記載したようなイオン注入法等によりp型不純物を注入することが可能となる。また、その際、リソグラフィ技術等を用いて、請求項4に記載したようにpウェル領域にのみp型不純物を注入することが可能となる。これによ

り、nウェルでのp型不純物の混入によるドレンチ側面の閾値電圧の低下を防ぐことができる。

【0014】 請求項5の発明は、請求項1の半導体装置の製造方法において、p型不純物注入工程でp型不純物がpウェル領域とnウェル領域の両領域に注入され、p型不純物が注入されたnウェル領域にシリコンを注入するシリコン注入工程を有することを特徴とする。この発明においては、pウェル領域にのみp型不純物を注入するためのリソグラフィ工程が省略可能となり、p型不純物注入工程が簡略化される。またnウェル領域のp型不純物は、シリコン注入工程で注入されたシリコンにより増速拡散が生じて消失するため、nウェルでのドレンチ側面の閾値電圧の低下を防ぐことができる。

【0015】 請求項6の発明は、請求項1の半導体装置の製造方法において、p型不純物注入工程におけるp型不純物の注入が、p型不純物を所定温度含む第2絶縁膜からの熱拡散により行われることを特徴とする。この発明においては、p型不純物を所定温度含有する第2絶縁膜を用いることにより、熱処理のみでドレンチ側壁上部にp型不純物を注入することが可能となり、p型不純物注入工程が省力化される。なお、この方法では、nウェル領域にもp型不純物が注入されるため、請求項7に記載したようにnウェル領域にシリコンを注入するシリコン注入工程を設けて、nウェルでのドレンチ側面の閾値電圧の低下防止を図ることが望ましい。

【0016】 請求項8の発明は、請求項5または7の半導体装置の製造方法において、シリコン注入工程がnウェル領域にn型不純物を注入してnウェルを形成するnウェル形成工程と同時に行われることを特徴とする。この発明においては、シリコン注入のためのリソグラフィ工程を増加させる必要がなく、容易にnウェル領域にのみシリコンを注入することが可能となる。

【0017】 請求項9の発明は、請求項1の半導体装置の製造方法において、p型不純物がボロンであることを特徴とする。この発明においては、p型不純物をボロンとすることで従来の半導体プロセスとの整合性が良好となる。p型不純物としてはインジウムも考えられるが、ドレンチを埋める絶縁膜の酸化シリコンへの拡散がボロンより大きくなる。

【0018】 請求項10の発明は、請求項4の半導体装置の製造方法において、第1絶縁膜が埋め込まれたドレンチの側壁上部のnウェル領域にn型不純物を注入するn型不純物注入工程を有することを特徴とする。この発明においては、第2絶縁膜が埋め込まれる前に、ドレンチの側壁上部のnウェル領域にリン、ヒ素等のn型不純物を、ドレンチの側壁上部のpウェル領域にボロン、インジウム等のp型不純物を注入することにより、nウェル、pウェルのドレンチ側壁のそれぞれの不純物濃度の低下を補償することができ、ドレンチ側面での閾値電圧低下を防ぐことが可能となる。

【0019】請求項12の発明は、請求項1の半導体装置の製造方法において、トレンチ中に埋め込まれる第1絶縁膜の表面が、前記半導体基板に形成されるソースおよびドレインの接合位置よりも高くなるように設定されることを特徴とする。この発明においては、p型不純物が注入される部位が、トレンチ側壁上部界面付近のソースおよびドレインの接合位置よりも高い位置に限定されるため、p型不純物の注入による接合容量または接合リークを増大を引き起こすことなく、トレンチ側面での閾値電圧の減少を抑制することが可能となる。

【0020】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。図1～9は、本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図である。

【0021】まず、図1において、第1導電型の単結晶シリコン基板1の表面にシリコン酸化膜2およびシリコン窒化膜3を形成した後、リソグラフィ技術、エッチング技術を用いてトレンチ4を形成する。ここで、例えば、シリコン酸化膜2およびシリコン窒化膜3の膜厚はそれぞれ10nm、100nmとし、トレンチ4の深さは300nmとする。

【0022】次に、図2において、図1の工程で形成されたトレンチ4に、シリコン酸化膜5を例えばCVD法により成膜することにより埋め込む。このとき、シリコン酸化膜5の膜厚を例えば250nmとし、トレンチ4に埋め込んだシリコン酸化膜5の表面が単結晶シリコン基板1の表面よりも低い位置となるように設定する。

【0023】図3において、リソグラフィ技術を用いて、nウェル形成領域にフォトレジスト6を形成し、pウェル形成領域のトレンチ4の側面のみ、シリコン酸化膜5、フォトレジスト6をマスクとして、ボロン7をイオン注入する。このとき、ボロン7を斜め方向にイオン注入することによって、トレンチ4の側壁にボロン7が注入される。例えば、ボロン7はトレンチ4の側壁面に対してドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入されるものとする。このイオン注入により、ボロン注入層8が形成される。

【0024】ここで、注入する深さは、不純物分布のピークが表面から50nm程度にあればよく、例えば注入角度が垂直方向に対して30度傾けた場合、30keV程度が加えられればよい。なお、単結晶シリコン基板1の表面とトレンチ4の底面はシリコン酸化膜5で覆われているので、この領域のシリコン基板中にはボロン7は注入されない。そして、深さ300nmのトレンチに膜厚250nmのシリコン酸化膜5が埋め込まれているので、ボロン7が注入される領域は、トレンチ深さがシリコン基板表面から50nm程度の領域のみである。

【0025】次に、図4において、フォトレジスト6を除去した後、トレンチ4をシリコン酸化膜9により埋め

る。シリコン酸化膜9の膜厚は、例えば250nmとする。

【0026】ついで、図5において、例えばCMP法により、シリコン窒化膜3上のシリコン酸化膜5、9を除去する。

【0027】ついで、図6において、例えば薬液処理により、単結晶シリコン基板1の表面上のシリコン窒化膜3およびシリコン酸化膜2を除去する。

【0028】その後、図7において、例えばリソグラフィ技術、イオン注入技術を用いて、pウェル領域、nウェル領域に、それぞれ例えばボロン、リンをイオン注入し、pウェル10、nウェル11を形成する。

【0029】このとき、pウェル10のトレンチ側壁にはボロン濃度の局所的に高い領域すなわちボロン注入層8が形成されている。このため、この後の熱工程にて、主にイオン注入工程で発生した格子間のシリコンにより、ボロンが増速拡散して濃度が低下するが、最初にpウェル10のトレンチ側壁に注入された量に相当するボロンのみがトレンチ4を埋めているシリコン酸化膜に外方拡散するので、pウェル10では単結晶シリコン基板1とトレンチ4との界面付近でボロン濃度が所定値以下には低下せず、逆狭チャネル効果は発生しない。

【0030】図8において、上記工程を経た単結晶シリコン基板1の表面にゲート絶縁膜12を形成し、CVD技術およびリソグラフィ技術を用いてゲート電極13を形成する。ゲート絶縁膜12の膜厚は、例えば20nmとし、ゲート電極13は、例えば膜厚200nmの多結晶シリコンとする。

【0031】ついで、ゲート電極13をマスクにして、イオン注入技術を用いて、NチャネルLDD領域、PチャネルLDD領域に、例えばヒ素、ボロンをそれぞれイオン注入し、NチャネルLDD14およびPチャネルLDD15を形成する。NチャネルLDD14およびPチャネルLDD15の作り分けは、例えばリソグラフィ技術を用いて行う。NチャネルLDD14およびPチャネルLDD15の単結晶シリコン基板1の表面からの深さは、例えば50nm程度に設定する。

【0032】さらに、図9において、例えばCVD技術およびエッチング技術を用いて、ゲート電極13およびサイドウォール絶縁膜16をマスクにしたイオン注入技術を用いて、Nチャネルソース・ドレイン17およびPチャネルソース・ドレイン18を形成する。Nチャネルソース・ドレイン17およびPチャネルソース・ドレイン18の作り分けは、例えばリソグラフィ技術を用いて行う。Nチャネルソース・ドレイン17およびPチャネルソース・ドレイン18の単結晶シリコン基板1の表面からの深さは、例えば100nm程度に設定する。

【0033】これにより、Nチャネルソース・ドレイン17の単結晶シリコン基板1の表面からの深さは、トレンチ側壁のボロン注入層8よりも深くなるので、Nチャ

ネルソース・ドレイン17とpウェル10との接合容量は、ボロン注入層8が存在することにより増大することはない。

【0034】以降は、従来のソース・ドレイン形成のための熱処理、およびサリサイド技術、配線形成技術等を用いて、CMOS LSIを形成する。

【0035】図10～14は、本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図である。この実施の形態は、ボロンをトレンチ側壁へ注入する際、フォトリソストを用いずに注入する例を示す。

【0036】この実施の形態では、図10において、図3に示す工程でリソグラフィー技術を用いてpウェル領域にのみボロンを注入する代わりに、リソグラフィー技術を用いずにシリコン基板全面にボロン注入を行う。この結果、nウェル領域にもボロン注入層8が形成される。

【0037】について、第1の実施の形態と同様に図4～6に示す工程を行った後、図7に示す工程で、図11に示すようにフォトリソスト19をマスクにイオン注入によりnウェル11を形成する際、シリコン20も同時にイオン注入する。注入するシリコンのドーザ量は $1 \times 10^{14} \text{ cm}^{-2}$ 以上が好ましい。

【0038】図12において、pウェル10の形成は第1の実施の形態と同様に行う。その後は第1の実施の形態と同様の工程を経て、CMOS LSIを形成する。

【0039】この実施の形態では、シリコン基板全面にボロンが注入されるため、nウェル領域にあるボロンはできるだけトレンチ内のシリコン酸化膜5、9の方向に外方拡散させてしまうことが望ましい。このため、図11において、nウェル領域にシリコン注入を行い、格子間シリコン原子を形成する。これにより、その後のソース・ドレイン形成の際の熱処理において、図13および14に示すように、nウェル中のボロンは、格子間シリコン原子による増速拡散が起こり、ボロン注入層8が消失する。なお、図13および14は、MOSFETのチャネル領域のゲート長方向に垂直な方向の断面図である。

【0040】この第2の実施の形態では、トレンチ側壁にボロンを注入する際、リソグラフィー工程を省略することができるので、プロセスコスト的に有利である。

【0041】上記第1および第2の実施の形態では、pウェル領域のトレンチ側壁の不純物濃度の低下を防ぐためのボロン注入のみを行っている。これは、nウェルの不純物であるリンに比べて、ボロンが酸化膜中へ外方拡散し易く、トレンチ側壁の不純物濃度の低下がpウェルにおいてより顕著であるためである。しかしながら、これも限定されるものではない。nウェルにおいても、トレンチ側壁の不純物濃度の低下が顕著となる場合、もしくはトレンチ近傍のゲート電極による電界が、トレンチ

近傍以外のゲート電極によるシリコン基板中の電界に比べてより大きくなる場合は、nウェル領域のトレンチ側壁にリン等の不純物注入を行っておけばよい。

【0042】図15～17は、本発明の第3の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図である。この実施の形態は、nウェル領域のトレンチ側壁にも不純物注入を行う例を示す。

【0043】図15は、第1の実施の形態の図3に示す工程に対応するもので、フォトリソスト6をマスクにpウェル領域にのみボロン7を注入する。ついで、図16において、フォトリソスト21をマスクとしてnウェル領域にのみ開口し、nウェル領域のトレンチ側壁にのみリン22をイオン注入する。注入条件は、例えば注入角度が垂直方向に対して30度傾けた場合、70 KeV程度が加えられればよい。

【0044】この結果、図17に示すように、pウェル10のトレンチ側壁にのみボロン注入層8が形成され、nウェル11のトレンチ側壁にのみリン注入層23が形成される。これにより、pウェル10およびnウェル11におけるトレンチ側壁の不純物濃度の低下を抑制することができ、トランジスタのチャネル幅が小さい場合に閾値電圧が低下するという逆狭チャネル効果を抑制することができる。

【0045】上記第1～3の実施の形態は、イオン注入法を用いてトレンチ側壁に不純物注入を行うものであるが、不純物注入法はこれに限定されない。不純物を含んだ絶縁膜からの拡散によってトレンチ側壁への不純物注入を行ってもよい。

【0046】図18～23は、本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図である。この実施の形態は、不純物を含んだ絶縁膜からの拡散によってトレンチ側壁への不純物注入を行う例を示す。

【0047】図18において、第1の実施の形態の場合と同様に、シリコン酸化膜5をトレンチ4に埋め込んだ後、図3に示す不純物注入工程を省略し、図19において、図4の工程のシリコン酸化膜9の代わりにボロンを含んだシリコン酸化膜(BSG膜)24を成膜してトレンチ4を埋め込む。

【0048】成膜するBSG膜24のボロン濃度は、例えば、その後の工程によりpウェル10を形成した際の、シリコン基板表面からの深さが0～50 nm程度の領域のボロン濃度と同程度になるように設定する。これは、トレンチ界面のボロンが濃度差によってトレンチ中へ拡散しない程度のボロン濃度とすることを意味する。

【0049】について、図20において、例えばCMP法により、シリコン酸化膜3上のシリコン酸化膜5およびBSG膜24を除去する。この段階では、通常、トレンチ4に酸化シリコンの絶縁膜を埋め込んだ後、単結晶シリコン基板1の結晶欠陥を回復させるための熱処理を行

うので、BSG膜24から若干のボロンがシリコン基板中のトレンチ側壁部に拡散し、ボロン注入層25が形成されている。

【0050】以後の工程は、第2の実施の形態と同様で、図6に示す工程を行った後、図21において、フォトレジスト19をマスクにnウェル11の形成のためのイオン注入と同時にシリコン20のイオン注入を行い、図22において、リングラフィー技術、イオン注入技術を用いてpウェル10を形成する。さらに、第1の実施の形態と同様の工程を経て、CMOS LSIを形成する。

【0051】この実施の形態においても、nウェル中のボロン注入層25は、ソース・ドレイン形成の際の熱処理において、シリコン注入による格子間シリコン原子により増速拡散が起こり、図23に示すように消失する。なお、図23は、図13および14と同様な方向から見た断面図である。

【0052】なお、上記実施の形態において、トレンチ深さ、各絶縁膜の膜厚、不純物の注入方法、注入する不純物の種類、および注入深さ等は例示されたものに限定されない。

【0053】

【発明の効果】上述したように、本発明の半導体装置の製造方法によれば、半導体基板に形成されたトレンチの側壁上部にp型不純物を注入することにより、接合容量または接合リーク電流の増大を引き起こすことなく、トレンチアイソレーションを有する半導体装置の逆雑チャネル効果を低減させることができる。特に、本発明はn MOSFETの逆雑チャネル効果に対して効果的である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その1）である。

【図2】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その2）である。

【図3】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その3）である。

【図4】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その4）である。

【図5】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その5）である。

【図6】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その6）である。

【図7】本発明の第1の実施の形態にかかる半導体装置

の製造方法を説明するための工程断面図（その7）である。

【図8】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その8）である。

【図9】本発明の第1の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その9）である。

【図10】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その1）である。

【図11】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その2）である。

【図12】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その3）である。

【図13】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その4）である。

【図14】本発明の第2の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その5）である。

【図15】本発明の第3の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その1）である。

【図16】本発明の第3の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その2）である。

【図17】本発明の第3の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その3）である。

【図18】本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その1）である。

【図19】本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その2）である。

【図20】本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その3）である。

【図21】本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その4）である。

【図22】本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その5）である。

【図23】本発明の第4の実施の形態にかかる半導体装置の製造方法を説明するための工程断面図（その6）である。

【図2.4】従来の半導体装置の製造方法を説明するための工程断面図（その1）である。

【図2.5】従来の半導体装置の製造方法を説明するための工程断面図（その2）である。

【図2.6】従来技術を示す特性図である。

【符号の説明】

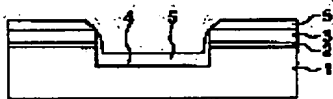
1、101……単結晶シリコン基板、2、5、9、103……シリコン酸化膜、3……シリコン窒化膜、4、1

02……トレンチ、5、19、21……フォトリソ、7……ボロン、8、25……ボロン注入層、10……pウェル、11……nウェル、12、104……ゲート絶縁膜、13、105……ゲート電極、16……サイドウォール絶縁膜、17……Nチャネルソース・ドレイン、18……Pチャネルソース・ドレイン、20……シリコン、22……リン、23……リン注入層、24……ボロンを含んだシリコン酸化膜（BSG膜）

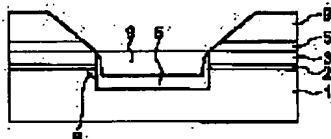
【図1】



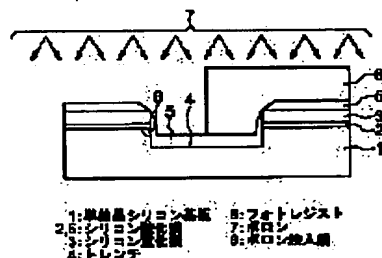
【図2】



【図4】



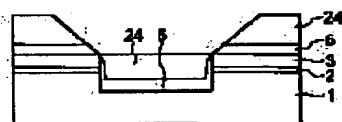
【図3】



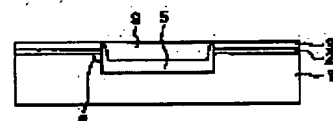
【図1.8】



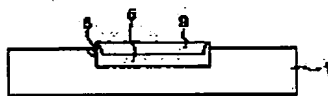
【図1.9】



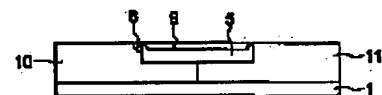
【図5】



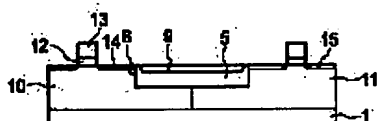
【図6】



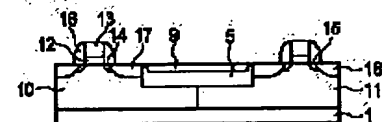
【図7】



【図8】



【図9】

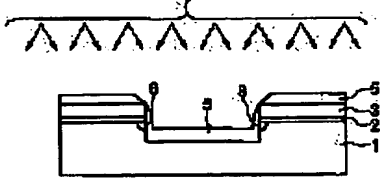


【図1.2】

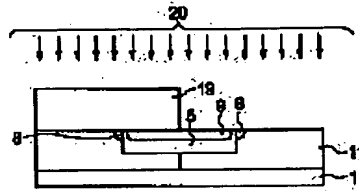




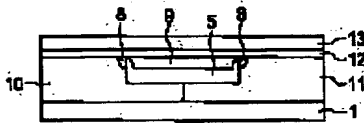
【圖 1-0】



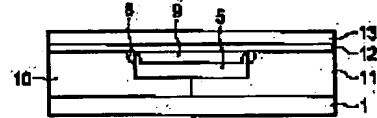
【圖 11】



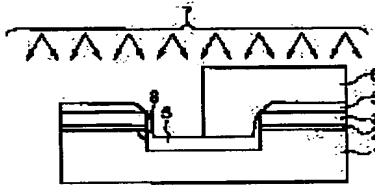
【图 1-3】



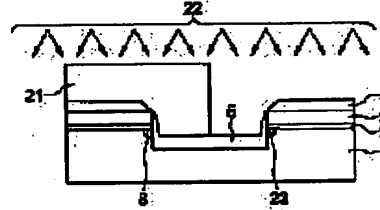
【圖 14】



【圖 1.5】



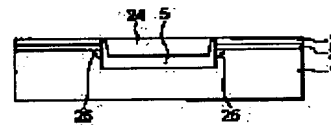
【图 1-6】



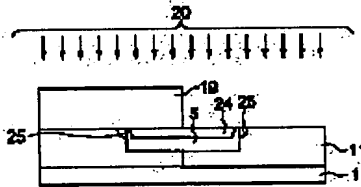
【图 1-7】



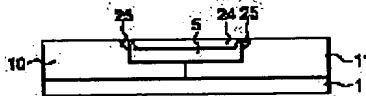
【例20】



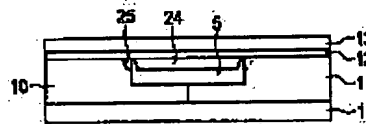
【圖 2.1】



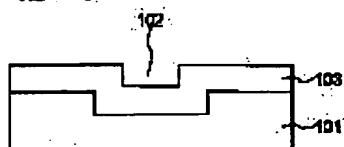
【圖 2.2】



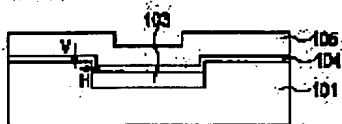
【圖2.3】



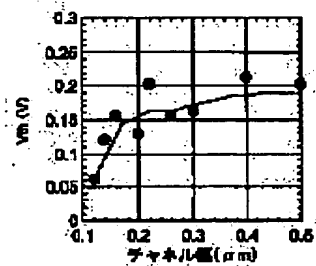
【図2.4】



【図2.5】



【図2.6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

H 0 1 L 29/78

テマコート<sup>®</sup> (参考)

3 0 1 H

F ター ム (参考) 5F032 AA35 AA44 AA45 AA70 AA77  
 CA17 CA20 DA02 DA33 DA44  
 DA48 DA60 DA77  
 5F040 DA06 DB03 DC01 EC07 EE05  
 EF02 EK05 FA03 FB02 FB04  
 FC10 FC13 FC15  
 5F048 AA07 AC03 BA01 BB05 BC06  
 BD04 BE03 BG01 BG13 BG14  
 DA23

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**